

503P0991W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244923

(P 2 0 0 1 - 2 4 4 9 2 3 A)

(43) 公開日 平成13年9月7日(2001.9.7)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H04L 7/033		H04L 7/02	B 5J106
H03L 7/08		H03L 7/08	N 5K047
7/18			H
		7/18	Z

審査請求 未請求 請求項の数 2 O L (全10頁)

(21) 出願番号 特願2000-54943 (P 2000-54943)

(22) 出願日 平成12年2月29日(2000.2.29)

(71) 出願人 000003104

東洋通信機株式会社

神奈川県高座郡寒川町小谷2丁目1番1号

(72) 発明者 新井 誠

神奈川県高座郡寒川町小谷二丁目1番1号

東洋通信機株式会社内

(72) 発明者 上田 和良

神奈川県高座郡寒川町小谷二丁目1番1号

東洋通信機株式会社内

F ターム(参考) 5J106 AA04 BB02 CC01 CC21 CC52

FF04 KK39

5K047 AA16 CC02 GG10 MM01 MM47

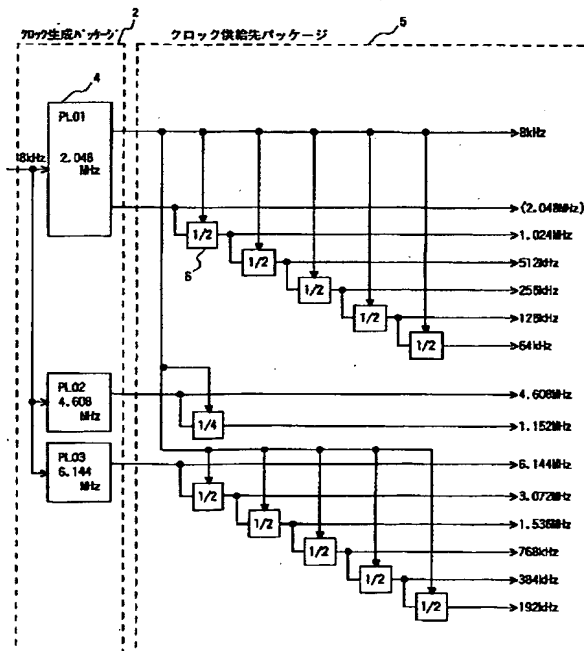
MM55

(54) 【発明の名称】 クロック生成回路

(57) 【要約】

【課題】 バックワイヤリングボード上の配線数を低減し、且つ、周波数同期発振器回路数も少なく済むクロック生成回路を提供する。

【解決手段】 バックワイヤリングボード上に収容した複数のパッケージに、前記バックワイヤリングボードを介して同期クロック信号を供給するためのクロック生成回路において、クロック供給先パッケージにて必要となる種々の周波数の偶数倍の公倍数となる周波数同期発振器回路を少なくとも一つ備えてなり、且つ、前記バックワイヤリングボード上を渡すクロック周波数は10MHz以下として構成する。これにより、バックワイヤリングボード上に割り当てる配線数の低減と、クロック生成パッケージ内の周波数同期発振器回路数の低減とが図られたクロック生成回路が実現できる。



【特許請求の範囲】

【請求項1】バックワイヤーリングボード上に収容した複数のパッケージに、前記バックワイヤーリングボードを介して同期クロック信号を供給するためのクロック生成回路であって、

前記クロック生成回路は、前記クロック供給先パッケージにて必要となる種々の周波数の公倍数となる周波数同期発振器回路を、少なくとも一つ備えてなり、且つ、前記周波数同期発振器回路からの出力周波数が10MHz以下であることを特徴とするクロック生成回路。

【請求項2】バックワイヤーリングボード上に収容した複数のパッケージに、前記バックワイヤーリングボードを介して同期クロック信号を供給するためのクロック生成回路であって、

前記クロック生成回路は、前記クロック供給先パッケージにて必要となる種々の周波数の公倍数となる一つの周波数同期発振器回路と、10MHz以下の周波数を出力するための分周器とを備えることを特徴とするクロック生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック生成回路に関し、特に、発振源となる周波数発振器の数量を抑えつつ、多様なクロック周波数を得る技術に関する。

【0002】

【従来の技術】近年、デジタル通信装置によるデータ伝送技術が主流となり、複数の低速度データを時分割にまとめて高速度データにして伝送する多重変換、また、それとは逆に、高速度データから低速度データを分離する分離変換といった機能を備えるデジタル多重化装置が不可欠な存在となっている。このデジタル多重化装置にあっては、通信のユーザに提供する様々なデータサービス速度に合わせた多様な同期クロックが必要である。また、一般的なデジタル通信システムは、局間において周波数同期を、局内において位相同期を図るようデジタル同期網が構成されている。これにより、デジタル多重化装置は、局内統一位相の8kHzに同期した装置内クロックを生成している。例えば、図5は、DCS (Digital Clock Supply) 等の網同期から分配される信号に基いてクロックを生成する例を示したブロック図であり、デジタル多重化装置内のクロック生成パッケージ2は、バイポーラ/ユニポーラ変換部3 (B/U) と、3つの周波数同期発振器回路4 (以下、PLO: Phase Locked-Loop Oscillatorと記す) を備えている。この図は、DCS1からの64k+8k複合バイポーラ信号をバイポーラ/ユニポーラ変換部3にてユニポーラ化して8kHzのクロックを取出し、この8kHzクロックを前記3つのPLOに供給している。そして、夫々のPLOから8kHzに同期した周波数を出力する。ここでは、PLO1が周波数f1、PLO2が周波

数f2、PLO3が周波数f3を生成する。

【0003】このように網同期の図られた装置内クロックを生成するわけであるが、近年のデジタル通信システムには、更に多くの周波数サービス速度が用いられている。例えば、専用回線サービスを提供する高速デジタル伝送システムのユーザ・網インタフェースは、Yインタフェース (64、192、384、768、1536、3072、6144kb/sの7品目)、或いは、Iインタフェース (64、128、192、256、384、512、768、1024、1152、1536、3072、4608、6144kb/sの13品目) のように多様なサービス速度があり、これらサービス速度に応じたクロックの種類が必要となるのである。

【0004】図6は、従来のクロック生成回路の構成例を示す図である。なお、ここでは、クロック生成回路を内蔵するデジタル多重化装置が、物理的に機能別ユニット分割して構成されているものとし、前記クロック生成回路をクロック生成パッケージとして説明する。また、前記機能別ユニット分割された各種パッケージは、棚状の箱型筐体に収められ、これらパッケージ間および外部との接続は、バックワイヤーリングボード (BW B) を介して行われることを想定する。

【0005】この例に示すクロック生成パッケージ2は、源発信が2.048MHzのPLO1と、源発信が1.536MHzのPLO2と、源発信が1.024MHzのPLO3と、源発信が4.608MHzのPLO4と、源発信が6.144MHzのPLO5といった、5つの周波数同期発振器回路4を有している。

【0006】そして、図示を省略したDCS1から分配される信号に基く8kHzクロックを前記PLO1~5の夫々に対して供給し、各PLOは供給された8kHzクロックに同期した源発振周波数を発生する。また、各PLOの内部には分周器が内蔵されており、これにより源発振周波数から「1/N」に分周した所望の周波数クロックが出力されるようになっている。例えば、前記PLO1においては、源発振周波数2.048MHzから「1/32」に分周した64kHzと、「1/256」に分周した8kHzが出力される。

【0007】このようにして、クロック生成パッケージ2からは、上述したIインタフェースに対応する13種類の周波数クロックと、装置内基準フレームに対応する8kHz周波数クロックと、装置内制御系に用いる2.048MHz周波数クロックとが生成される。

【0008】こうして生成された各周波数クロック信号は、図示を省略したバックワイヤーリングボードを介して、各種パッケージに供給され、供給した先のパッケージにおいて所定の機能動作を行なうためのクロックとして用いられるのである。

【0009】

【発明が解決しようとする課題】しかしながら、上述し

た従来のクロック生成回路においては、以下に示すような問題点があった。つまり、クロック生成パッケージにて最終的に使用される種々の周波数を生成し、クロックを必要とするパッケージの夫々に供給していたので、バックワイヤリングボード上に割り当てる配線数が多数必要であった。また、クロック生成パッケージ内の周波数同期発振器回路を複数用いていたため回路規模が大きかった。

【0010】これらのことを鑑みれば、生成すべき複数の周波数について、最小公倍数を求め、求めた最小公倍数の周波数を源発振とする周波数同期発振器回路をクロック生成パッケージに一つ設けて、この最小公倍数の周波数のままバックワイヤリングボードを介して夫々のパッケージに供給し、供給先のパッケージ内において、必要な分周をすれば解決できそうなことまでは、比較的容易に想到するであろう。ところが、単にこれを行なおうとすると、更に以下に示す問題点が生じる。即ち、上述の従来例に用いた周波数にて説明すれば、最小公倍数は18.432MHzであり、バックワイヤリングボード上にこの周波数クロック信号を送出することになる。一般的に、10MHzを越える周波数の信号の配線（プリントパターン等）設計するにあたっては、高周波対策を考慮する必要性が生じてくる。ここでいう高周波対策とは、例えば、インピーダンス整合を取る、配線パターンを太くする、パターン間隔を広く取る、引き回しの距離を最短とする、更には、シールド構造の配線パターンとする等の伝送路設計手法を指す。このため、バックワイヤリングボードの設計・製造コストが割高になってしまう。また、例えば、上述の18.432MHzから6.144MHzを得る場合には「1/3」に分周することになるが、18.432MHzが6.144MHzの奇数倍であるため、単に分周しただけでは、6.144MHzクロック信号における状態値比（デューティ比）が同等にならず、これを補正するためにデューティ比補正回路の追加が必要となってしまう。

【0011】本発明はこのような問題点を解決するためになされたものであり、バックワイヤリングボード上の配線数を低減し、且つ、周波数同期発振器回路数も少なく済むクロック生成回路を提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するために本発明に係わるクロック生成回路請求項1の発明は、バックワイヤリングボード上に収容した複数のパッケージに、前記バックワイヤリングボードを介して同期クロック信号を供給するためのクロック生成回路であって、前記クロック生成回路は、前記クロック供給先パッケージにて必要となる種々の周波数の公倍数となる周波数同期発振器回路を、少なくとも一つ備えてなり、且つ、前記周波数同期発振器回路からの出力周波数が10

MHz以下であることを特徴とする。また、本発明に係わるクロック生成回路請求項2の発明は、バックワイヤリングボード上に収容した複数のパッケージに、前記バックワイヤリングボードを介して同期クロック信号を供給するためのクロック生成回路であって、前記クロック生成回路は、前記クロック供給先パッケージにて必要となる種々の周波数の公倍数となる一つの周波数同期発振器回路と、10MHz以下の周波数を出力するための分周器とを備えることを特徴とする。

【0013】

【発明の実施の形態】以下、図示した実施の形態例に基づいて本発明を詳細に説明する。図1は本発明に係わるクロック生成回路の第1の実施の形態例を示す機能ブロック図である。なお、ここでは上述したIインタフェースの13種類の周波数を得ることを例にして説明する。

【0014】この例に示すクロック生成回路は、クロック生成パッケージ2と、クロック供給先パッケージ5とが、図示を省略したバックワイヤリングボードを介して接続されている。前記クロック生成パッケージ2は、源発振が2.048MHzで2.048MHz及び8kHzの周波数クロックを出力するPLO1と、源発振が4.608MHzで4.608MHzの周波数クロックを出力するPLO2と、源発振が6.144MHzで6.144MHzの周波数クロックを出力するPLO3とを備えている。つまり、3つの周波数同期発振器回路4を持つ。

【0015】また、前記クロック供給先パッケージ5は、複数の分周器6を備えている。なお、これらの分周器6は、具体的にはカウンタ回路にて構成され、バックワイヤリングボードを介して供給される前記PLO1からの8kHzクロックをロード入力することにより、全ての分周器6の同期が図られている。

【0016】この図に示すクロック生成回路は以下のよう機能する。即ち、図示を省略したDCSから分配される信号に基いた8kHzクロックが、前記クロック生成パッケージ2のPLO1～3の夫々に供給され、各PLO1～3は、この8kHzクロックに同期した夫々の周波数を出力する。なお、前記PLO1は、分周器を内蔵しており、この分周器にて源発振周波数2.048MHzを「1/256」した8kHzクロックも出力する。

【0017】つまり、クロック生成パッケージ2から図示を省略したバックワイヤリングボードには、2.048MHz、4.608MHz、6.144MHz、及び8kHzの4種類の周波数クロックが出力され、バックワイヤリングボードを介してクロック供給先パッケージ5に供給される。そして、クロック供給先パッケージ5において、前記2.048MHz、4.608MHz、及び6.144MHzの周波数クロックを分周することによりIインタフェースの13種類の周波数を得る

10

20

30

40

50

のである。

【0018】例えば、2.048MHzを「1/2」に分周して1.024MHzを、1.024MHzを「1/2」に分周して512kHzを、更に、512kHzを「1/2」に分周して256kHzをという具合にして各種サービス速度周波数を導くのである。なお、ここで注目すべきは、前記2.048MHz、4.608MHz、及び6.144MHzの周波数は、Iインタフェースの各種サービス速度周波数の偶数倍となる公倍数であり、このことから、クロック供給先パッケージ5に設ける分周器は、分母を偶数とする分周器にて単に分周さえすれば、デューティ比が同等（50対50）のクロックが得られるのである。

【0019】このようにして、13種類のIインタフェースサービス速度（64、128、192、256、384、512、768、1024、1152、1536、3072、4608、6144kb/s）の周波数クロックと、装置内基準フレームに対応する8kHz周波数クロックと、装置内制御系に用いる2.048MHz周波数クロックとを生成すれば、バックワイヤリングボード上に割り当てる配線の種類は、2.048MHz、4.608MHz、6.144MHz、及び8kHzの4種類で済み、且つ、クロック生成パッケージ2内の周波数同期発振器回路4は、PLO1～3の3つで済むので回路規模の縮小を図ることができる。

【0020】そればかりでなく、バックワイヤリングボード上の周波数が、何れも10MHz以下であることから、バックワイヤリングボードに高周波対策を必要とせず、バックワイヤリングボードの設計・製造コストの上昇を伴うことも無い。

【0021】次に、図2は本発明に係わるクロック生成回路の第2の実施の形態例を示す機能ブロック図であり、クロック生成パッケージ2に設ける周波数同期発振器回路4の数を更に低減するものである。なお、上述した図1と同様の機能ブロックについては、同じ符号を付してその説明を省略する。

【0022】この図に示すクロック生成回路は、クロック生成パッケージ2とクロック供給先パッケージ5とが図示を省略したバックワイヤリングボードを介して接続されており、前記バックワイヤリングボード上には、上述した図1と同様に2.048MHz、4.608MHz、6.144MHz、及び8kHzの周波数クロックが渡されている。

【0023】そして、前記クロック生成パッケージ2には、単一の周波数同期発振器回路4が設けられており、この周波数同期発振器回路4には、図示を省略したDCSから分配される信号に基づく8kHzクロックが供給され、周波数同期発振器回路4は、この8kHzクロックに同期した前記4種類の周波数を出力している。

【0024】ここで、前記周波数同期発振器回路4の構

成例を図3に示して説明する。この図3に示す周波数同期発振器回路4（PLOモジュール）は、外部から供給される基準周波数8kHzと、内部にて発生した周波数を分周した8kHzとを入力とし、この二つの周波数の位相を比較して位相差情報を出力する位相比較器7と、前記位相比較器7の出力に基いて発振周波数を制御可能な周波数可変発振器（VCO: Voltage Controlled Crystal Oscillator）8と、2.048MHz、4.608MHz、6.144MHzの周波数クロックを得るための複数の分周器9と、前記2.048MHz周波数クロックを「1/256」に分周し、位相比較器7に8kHzを帰還するための分周器10とを備えている。

【0025】前記周波数可変発振器8の源発振周波数は、36.864MHzであり、この周波数は、2.048MHz、4.608MHz、及び6.144MHzの最小公倍数である18.432MHzを更に2倍したものである。これは、前記2.048MHz、4.608MHz、及び6.144MHzの偶数倍となる公倍数にすることにより、分周器9により分周して得られる各周波数クロックのデューティ比を同等（50対50）にするためである。即ち、36.864MHzを分周器9にて「1/8」に分周し4.608MHzを、また、36.864MHzを分周器9にて「1/6」に分周し6.144MHzを、また、36.864MHzを分周器9にて「1/18」に分周し2.048MHzを取出している。なお、このとき各分周器9は、前記分周器10から出力される8kHzに同期するよう構成されている。

【0026】このように周波数同期発振器回路4を構成すれば、クロック生成パッケージ2には単一の周波数同期発振器回路4を設けるだけで、13種類のIインタフェースサービス速度の周波数クロックと、装置内基準フレームに用いる8kHz周波数クロックと、装置内制御系に用いる2.048MHz周波数クロックを生成することができる。なお、この例では36.864MHzという高周波信号を扱うことになるが、この高周波信号はPLOモジュール内の限られた区間を伝送するのみであり、多くの信号線を有するバックワイヤリングボードに比べて設計の自由度が高く、さほどコスト高とはならない。

【0027】以上説明した本発明の実施の形態例においては、バックワイヤリングボードを介して供給されるクロック生成パッケージ2からの比較的高い周波数クロックを、クロック供給先パッケージ5にて分周することにより所望の周波数クロックを得るという例を示したが、具体的には、図4（a）或いは（b）に示すように構成すれば良い。図4（a）、（b）は、共に本発明に係わるクロック生成回路のクロック供給先パッケージの構成例を示す機能ブロック図であり、斜視図風に現わしたものである。

【0028】まず、図4(a)に示すクロック供給先パッケージ5は、バックワイヤリングボード(BWB)11に收容される1.5Mインタフェースパッケージ5aと、6Mインタフェースパッケージ5bからなっている。即ち、1インタフェースの夫々のサービス速度に対応する専用の複数のインタフェースパッケージである場合を示す。この場合にあっては、例えば、前記1.5Mインタフェースパッケージ5aは、「1/4」分周器6を備え、バックワイヤリングボード11から6.144MHzと、8kHzの周波数クロックを取り込み、8kHzに同期しつつ前記6.144MHzを「1/4」に分周し、1.536MHzを生成している。そして、生成した1.536MHzの周波数クロックを用いて所定のインタフェース機能動作を行なうことにより、1.536MHzの1インタフェースサービスを提供するのである。なお、前記6Mインタフェースパッケージ5bの場合には、分周器6は不要となり、バックワイヤリングボード11から6.144MHzの周波数クロックを取り込んで、そのまま用いれば良い。

【0029】一方、図4(b)に示すクロック供給先パッケージ5は、バックワイヤリングボード(BWB)11に收容される複数のマルチインタフェースパッケージ5c、5dからなっている。前記マルチインタフェースパッケージとは、何れの1インタフェースサービス速度にも対応可能なインタフェースパッケージであり、13種類全てのサービス速度を得るための分周器(DIV)6と、前記分周器6からの出力のうち何れかを選択する選択部(SEL)12と、前記選択部12に選択すべき周波数クロックを指定する制御部(CONT)13とを備えている。例えば、前記マルチインタフェースパッケージ5cにおいて、制御部13が1.536MHzを設定しているとすれば、制御部13から選択部12に1.536MHzを選択するよう制御信号が出力され、これにより選択部12は、分周器6からの多様な周波数クロックのうち1.536MHzを選択して出力する。したがって、この場合、マルチインタフェースパッケージ5cの所望の周波数fdは1.536MHzということになり、1.5Mインタフェースパッケージとして機能するのである。

【0030】以上のように、本発明に係わるクロック生成回路は、バックワイヤリングボード11を介して、クロック生成パッケージ2からクロック供給先パッケージ5に供給する周波数クロックを、最終的に用いる多様な周波数クロックの公倍数で、且つ、10MHz以下とすることで、バックワイヤリングボード11に高周波対策を不要としつつ配線数の低減を図ると共に、クロック生成パッケージ2に設ける周波数同期発振器回路4の数が極めて少なく済むクロック生成回路を実現することができる。また、このクロック生成回路は、逡倍器や

デューティ比補正回路等を用いずに分周器の組み合わせにて所望の周波数クロックを求めているため、簡単な回路構成とすることができる。

【0031】

【発明の効果】以上のように本発明に係わるクロック生成回路は、バックワイヤリングボード上に收容した複数のパッケージに、前記バックワイヤリングボードを介して同期クロック信号を供給するためのクロック生成回路において、クロック供給先パッケージにて必要となる種々の周波数の偶数倍の公倍数となる周波数同期発振器回路を少なくとも一つ備えてなり、且つ、前記バックワイヤリングボード上を渡すクロック周波数は10MHz以下として構成したので、バックワイヤリングボードのコスト上昇、並びに、最終的に用いられるクロック信号のデューティ比補正回路を伴わずに、バックワイヤリングボード上に割り当てる配線数の低減と、クロック生成パッケージ内の周波数同期発振器回路数の低減とが図られたクロック生成回路が実現できる。

【図面の簡単な説明】

【図1】本発明に係るクロック生成回路の第1の実施の形態例を示す機能ブロック図である。

【図2】本発明に係るクロック生成回路の第2の実施の形態例を示す機能ブロック図である。

【図3】本発明に係るクロック生成回路の周波数同期発振器回路の構成例を示す機能ブロック図である。

【図4】(a)本発明に係るクロック生成回路のクロック供給先パッケージの構成例を示す図である。(b)本発明に係るクロック生成回路のクロック供給先パッケージの他の構成例を示す図である。

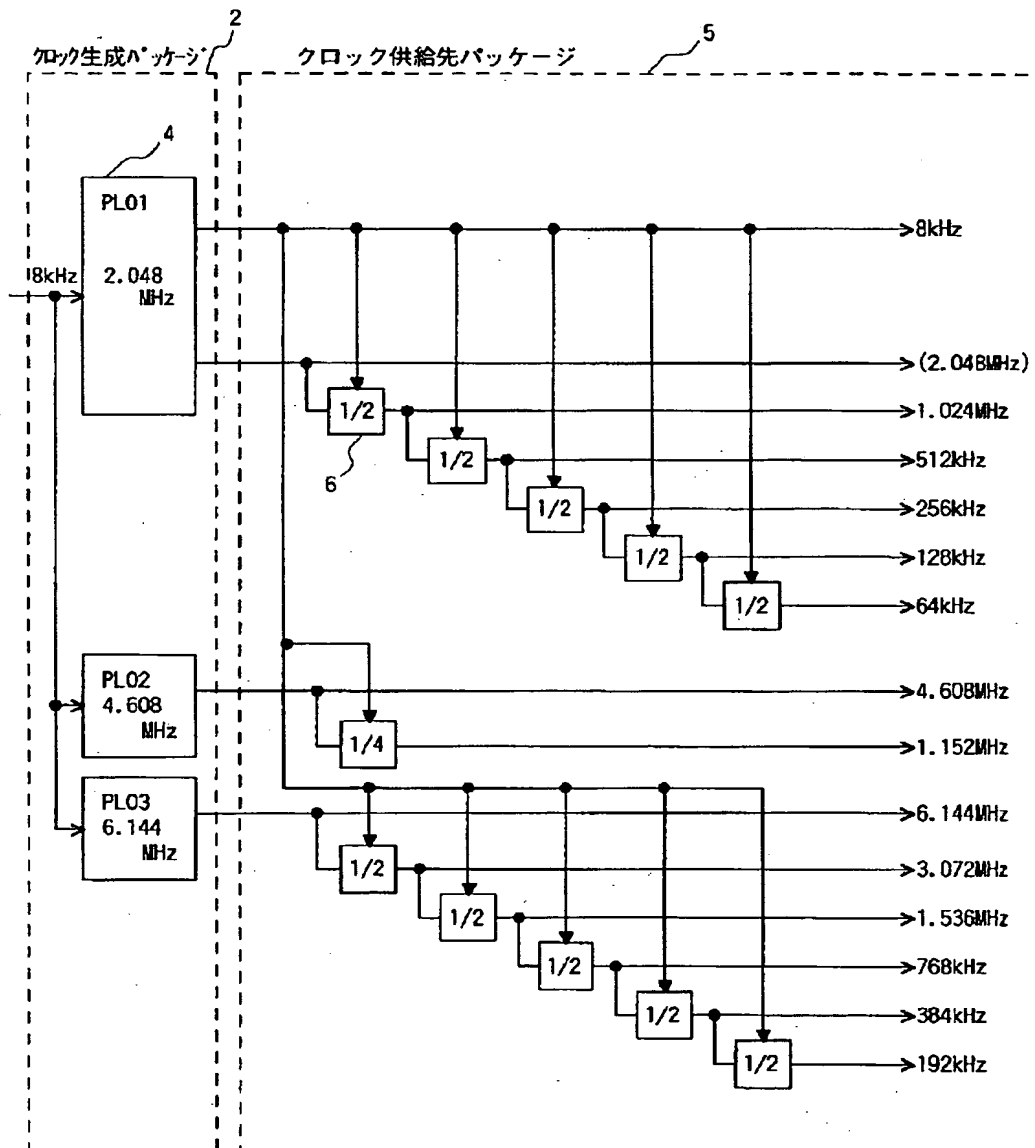
【図5】従来技術におけるクロック生成回路の構成例を示す図である。

【図6】同期クロック生成に係る一般的な構成例を示す図である。

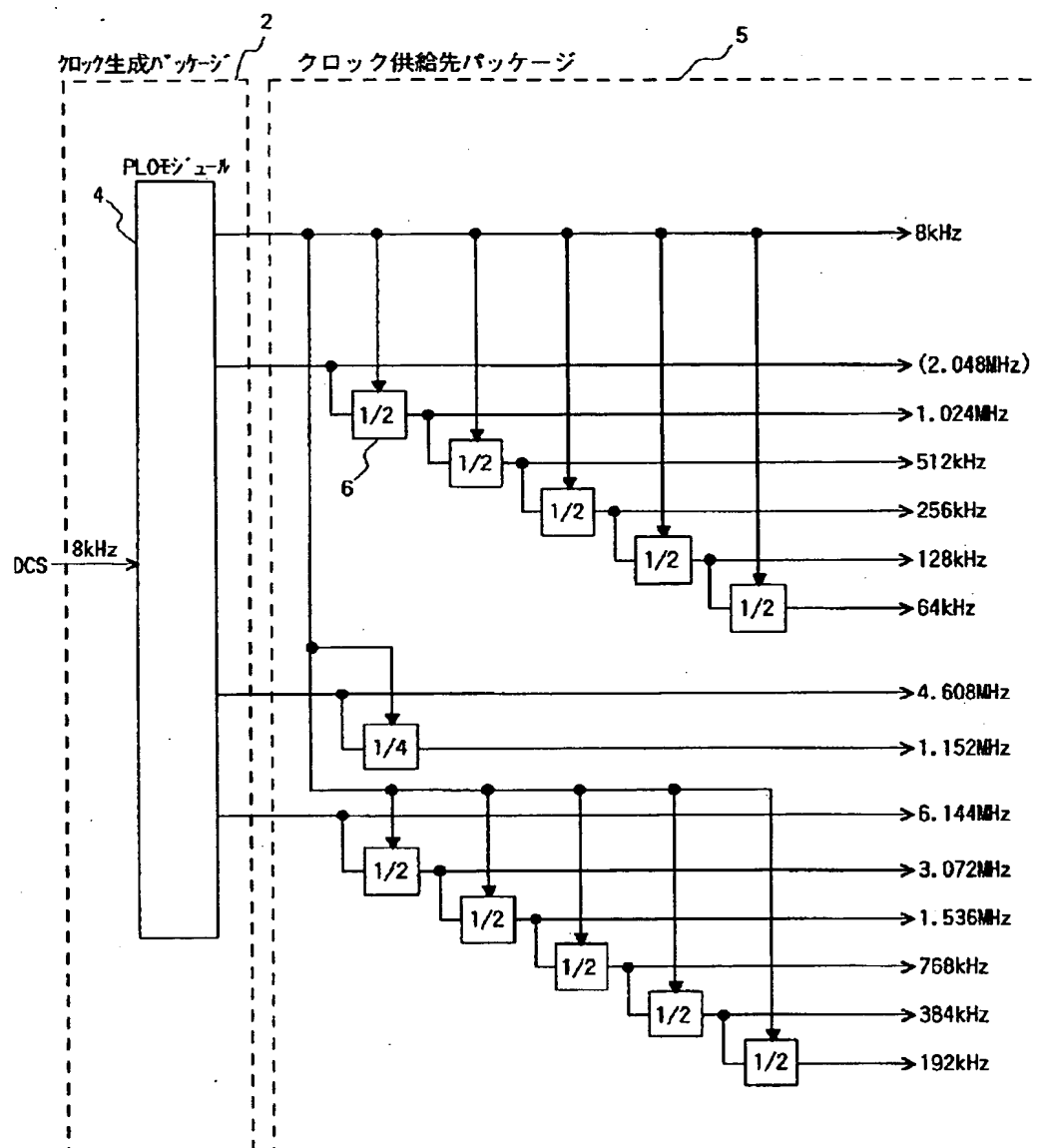
【符号の説明】

- 1・・・DCS (Digital Clock Supply)
- 2・・・クロック生成パッケージ
- 3・・・B/U (バイポーラ/ユニポーラ変換部)
- 4・・・周波数同期発振器回路 (PLO: Phase Locked Loop Oscillator)
- 5・・・クロック供給先パッケージ
- 6・・・分周器
- 7・・・位相比較器
- 8・・・周波数可変発振器 (VCXO: Voltage Controlled X-tal Oscillator)
- 9・・・分周器
- 10・・・分周器
- 11・・・BWB (バック・ワイヤリング・ボード)
- 12・・・選択部 (Selector)
- 13・・・制御部 (Controller)

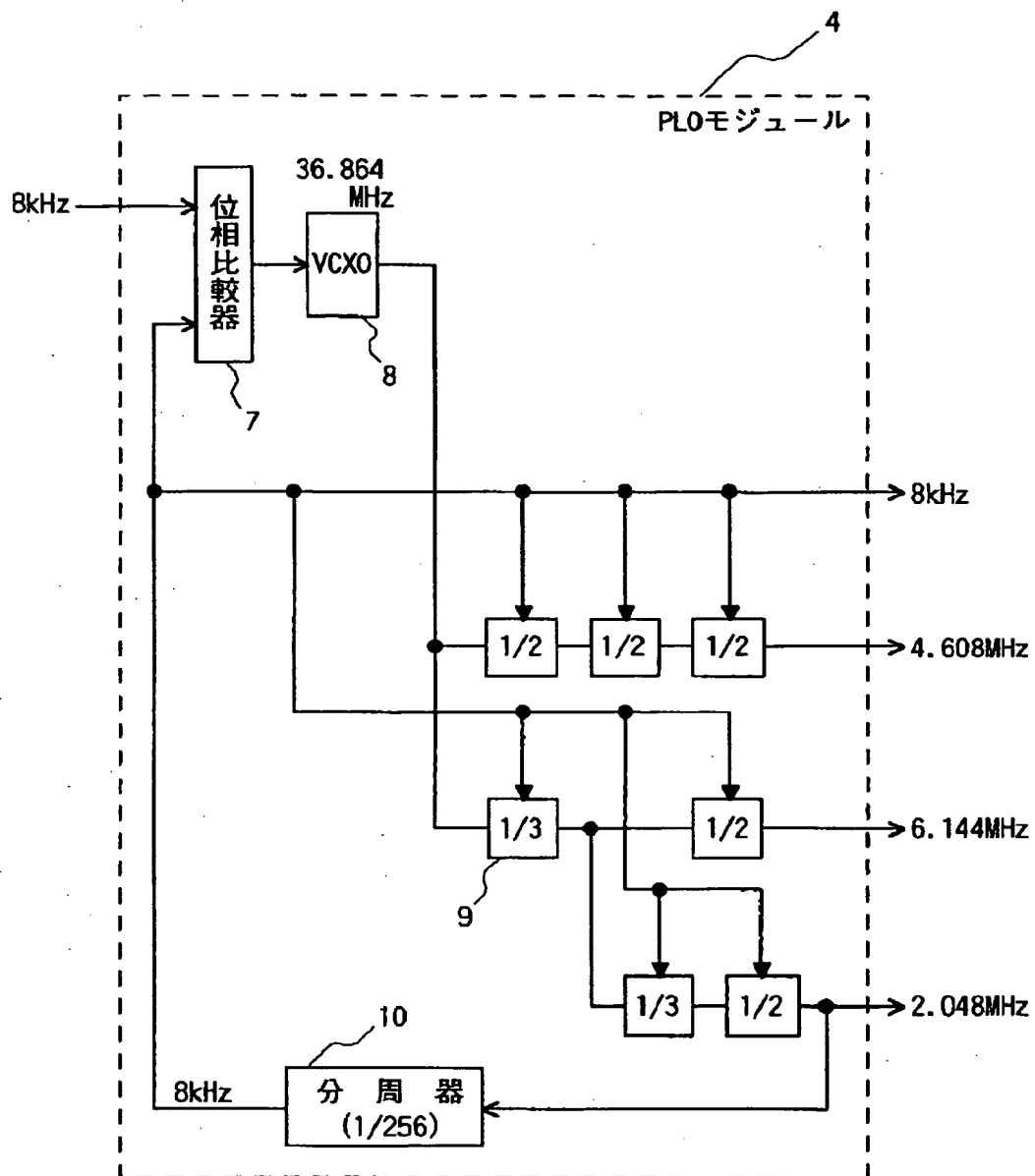
【図 1】



【図2】

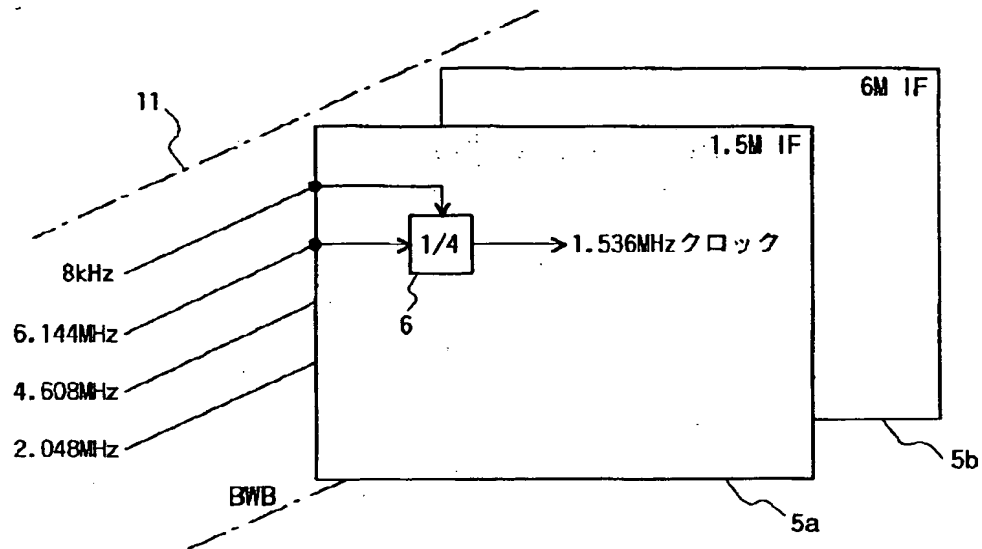


【図 3】



【図4】

(a)



(b)

